

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-036305

(43)Date of publication of application : 07.02.1997

(51)Int.Cl.

H01L 27/04  
H01L 21/822

(21)Application number : 07-184179

(71)Applicant : ROHM CO LTD

(22)Date of filing : 20.07.1995

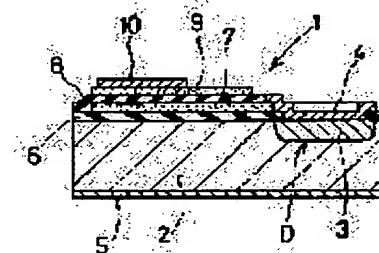
(72)Inventor : OSHITA HIROSHI

## (54) STRUCTURE OF CHIP TYPE MULTIPLE ELEMENT HAVING DIODE AND CAPACITOR

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a multiple element in a high general purpose mode wherein a diode and a capacitor are formed on one silicon chip.

SOLUTION: One side electrode 4 for external connection to a diode D is formed on the surface of a silicon chip 2, and an insulating film 6 is formed. One side electrode film 7 is formed on the surface of the insulating film 6, and the other side electrode film 9 constituting a capacitor is formed on the surface of the one side electrode film 7 via an insulating film 8. The other side electrode 10 for external connection is arranged on the other side electrode film.



## LEGAL STATUS

[Date of request for examination] 07.12.2001

[Date of sending the examiner's decision of rejection] 02.09.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 9 - 3 6 3 0 5

(43) 公開日 平成9年(1997)2月7日

(51) Int. Cl. <sup>6</sup>

H 0 1 L 27/04  
21/822

識別記号

庁内整理番号

F I

H 0 1 L 27/04

技術表示箇所

C

審査請求 未請求 請求項の数 2

O L

(全 4 頁)

(21) 出願番号 特願平7-184179

(22) 出願日 平成7年(1995)7月20日

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72) 発明者 大下 博史

京都市右京区西院溝崎町21番地 ローム株  
式会社内

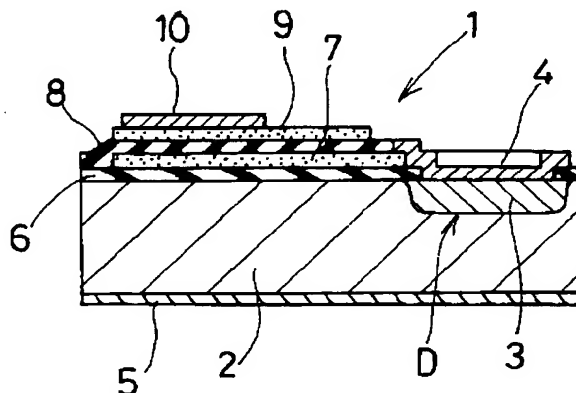
(74) 代理人 弁理士 石井 暁夫 (外2名)

(54) 【発明の名称】 ダイオードとコンデンサとを備えたチップ型複合素子の構造

(57) 【要約】

【目的】 一つのシリコンチップ2に、ダイオードDとコンデンサCとを形成した複合素子1を、汎用性の高い形態にして提供する。

【構成】 シリコンチップ2の表面に、ダイオードDに対する一方の外部接続用電極4を形成すると共に、絶縁膜6の形成し、この絶縁膜6の表面に一方の電極膜7を形成し、この一方の電極膜7の表面に絶縁膜8を介してコンデンサCを構成する他方の電極膜9を形成し、この他方の電極膜に、他方の外部接続用電極10を設ける。



## 【特許請求の範囲】

【請求項 1】シリコンチップの表面に、前記シリコンチップとの間でダイオードを構成する N 型又は P 型の拡散層を設けて、この拡散層の表面に、一方の外部接続用電極を形成する一方、前記シリコンチップの表面に形成した絶縁膜の表面に、一方の電極膜を、当該一方の電極膜が前記一方の外部接続用電極に電氣的に導通するように形成し、この一方の電極膜の表面に、絶縁膜を挟んで他方の電極膜を、当該他方の電極膜が前記一方の外部接続用電極に対して重ならないように形成して、この他方の電極膜に、他方の外部接続用電極を設けたことを特徴とするダイオードとコンデンサとを備えたチップ型複合素子の構造。

【請求項 2】前記「請求項 1」において、前記外部接続用電極と、前記他方の外部接続用電極とを、シリコンチップの平面視で、互いに対角をなす角隅部に配設したことを特徴とするダイオードとコンデンサとを備えたチップ型複合素子の構造。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、一つのシリコンチップに対して、ダイオードとコンデンサとを設けて成るチップ型複合素子の構造に関するものである。

## 【0002】

【従来の技術】一般に、ダイオードを、スイッチング回路等に組み込むに際しては、当該ダイオードと一緒にコンデンサを使用する場合が多くある。そこで、先行技術としての特開平 5-67729 号公報は、一つのシリコンチップの表面にダイオードを形成し、更に、このダイオードにおける一方の極に対する電極の表面に、強誘電膜（絶縁膜）を挟んで外部接続用電極を形成することにより、前記ダイオードにおける一方の極に対する電極と外部接続用電極との間でコンデンサを構成して成るチップ型の複合素子を提案している。

## 【0003】

【発明が解決しようとする課題】しかし、この先行技術によるチップ型複合素子は、そのコンデンサを、ダイオードにおける一方の極に対する電極と外部接続用電極との間に形成すると言う構成であることにより、この先行技術による複合素子は、コンデンサを、ダイオードにおける一方の極又は両方の極に対して直列的に接続したものであって、換言すると、図 5（A）に示すように、ダイオード D とコンデンサ C とを直列に接続した形態の回路であり、図 5（B）又は（C）に示すように、コンデンサ C を、ダイオード D におけるアノード極側又はカソード極側に接続した形態の回路にすることができず、用途が限られるから、汎用性が低いと言う問題があった。

【0004】しかも、前記先行技術によるチップ型複合素子は、シリコンチップの表面に、二つの外部接続用電

極を設け、この二つの外部接続用電極とダイオードにおけるアノード極及びカソード極との間の各々にコンデンサを形成したものであって、そのコンデンサの容量を大きくするには、シリコンチップを大型化にしなければならない点も問題であった。

【0005】本発明は、一つのシリコンチップにダイオードとコンデンサとを形成したチップ型複合素子を、汎用性が高い形態にして提供することと、コンデンサの容量を、シリコンチップの大型化を招来することなく大きくできる形態にして提供することとを技術的課題とするものである。

## 【0006】

【課題を解決するための手段】この技術的課題を達成するため本発明は、「シリコンチップの表面に、前記シリコンチップとの間でダイオードを構成する N 型又は P 型の拡散層を設けて、この拡散層の表面に、一方の外部接続用電極を形成する一方、前記シリコンチップの表面に形成した絶縁膜の表面に、一方の電極膜を、当該一方の電極膜が前記一方の外部接続用電極に電氣的に導通するように形成し、この一方の電極膜の表面に、絶縁膜を挟んで他方の電極膜を、当該他方の電極膜が前記一方の外部接続用電極に対して重ならないように形成して、この他方の電極膜に、他方の外部接続用電極を設ける。」と言う構成にした。

## 【0007】

【作 用】このように構成することで、シリコンチップに形成したダイオードにおける一方の極に対する一方の外部接続用電極と、他方の外部接続用電極との間に、一方の電極膜と他方の電極膜とでコンデンサを形成することができる。この場合において、前記一方の外部接続用電極は、前記ダイオードにおける一方の極と前記コンデンサにおける一方の極とに接続され、他方の外部接続用電極は、前記コンデンサにおける他方の極に接続され、そして、前記シリコンチップのベースが、前記ダイオードにおける他方の極になっていることにより、これら一方の外部接続用電極、他方の外部接続用電極及びシリコンチップのベースにより、三つの端子を構成することができるから、この三つの端子を使用して、コンデンサをダイオードに対して直列状に接続した回路にしたり、或いは、コンデンサをダイオードにおけるアノード極側又はカソード極側に接続した形態の回路にしたりすることが任意にできるのである。

【0008】また、「請求項 2」のように、前記一方の外部接続用電極と、他方の外部接続用電極とを、シリコンチップにおける各角隅部のうち互いに対角をなす角隅部に設けたことにより、この両外部接続用電極間の間隔を大きくした状態のもとで、シリコンチップにおける表面のうち一方の外部接続用電極を除く部分をコンデンサの形成に利用することができるから、コンデンサの容量を、シリコンチップを大型化することなく、大きくする

ことができるのである。

【0009】

【発明の効果】従って、本発明によると、一つのシリコンチップにダイオードとコンデンサとを設けたチップ型の複合素子を、汎用性が高い形態にして提供することができる効果を有する。また、「請求項2」によると、前記した効果に加えて、コンデンサの容量を、シリコンチップの大型化を招来することなく大きくすることができる。

【0010】

【実施例】以下、本発明の実施例を、図1及び図2の図面について説明する。この図において、符号1は、本発明によるチップ型の複合素子を示し、この複合素子1は、N型のシリコンチップ2を備え、このシリコンチップ2の表面のうち一つの角隅部の部位に、P型の拡散層3を設け、この拡散層3の部分に、アルミニウムによる一方の外部接続用電極4を、前記シリコンチップ2の裏面にベース電極5を各々形成することにより、前記一方の外部接続用電極4と、前記ベース電極5との間にP型のダイオードDを構成する。

【0011】そして、前記シリコンチップ2の表面のうち前記一方の外部接続用電極4を除く部分に、酸化シリコン等による絶縁膜6を形成し、この絶縁膜6の表面に、ポリシリコン等の導電体製の電極膜7を、当該電極膜7が前記一方の外部接続用電極4に電氣的に導通するように形成する。更に、前記電極膜7の表面には、当該電極膜7を覆うように酸化シリコン等による絶縁膜8を形成したのち、この絶縁膜8の表面に、ポリシリコン等の導電体製の電極膜9を形成して、この電極膜9と前記電極膜7との間にコンデンサCを構成する。

【0012】加えて、前記シリコンチップ2の表面のうち前記一方の外部接続用電極4が設けられている角隅部に対して対角をなす角隅部に、他方の外部接続用電極10を、当該他方の外部接続用電極10が前記電極膜9に電氣的に導通するように形成する。このように構成することにより、前記一方の外部接続用電極4は、前記ダイオードDにおけるアノード極と前記コンデンサCにおける一方の極とに接続され、他方の外部接続用電極10は、前記コンデンサにおける他方の極に接続され、そして、前記シリコンチップ2の裏面のベース電極5が、前記ダイオードDにおけるカソード極になり、これら一方の外部接続用電極4、他方の外部接続用電極10及びベース電極5により、三つの端子を構成することができる。

【0013】そこで、前記他方の外部接続用電極10とベース電極5との二つの端子のみを使用して外部に接続することにより、図5(A)に示すように、コンデンサCをダイオードDに対して直列状に接続した回路にすることができ、或いは、前記両外部接続用電極4、10及びベース電極5の三つの端子を使用して外部に接続することにより、図5(B)に示すように、コンデンサCを

ダイオードDにおけるアノード極側に接続した形態の回路にすることができるのである。

【0014】また、前記一方の外部接続用電極4と、他方の外部接続用電極10とを、シリコンチップ2における各角隅部のうち互いに対角をなす角隅部に設けたことにより、この両外部接続用電極間4、10の間隔を大きくした状態のもとで、シリコンチップ2における表面のうち一方の外部接続用電極4を除く部分をコンデンサCの形成に利用することができるから、コンデンサCの容量を、シリコンチップ2を大型化することなく、大きくすることができるのである。

【0015】なお、前記実施例は、N型のシリコンチップ2を使用し、その一部にP型の拡散層3を設けることによって、P型のダイオードDを形成する場合を示したが、本発明は、これに限らず、P型のシリコンチップを使用して、その一部にN型の拡散層を設けることによって、N型のダイオードを形成した場合にも適用できることは言うまでもなく、この場合には、図5(C)に示すように、コンデンサCをダイオードDにおけるカソード極側に接続した形態の回路にすることができるのである。

【0016】そして、このように構成したチップ型複合素子1は、図3に示すように示すように構成することによって、パッケージ型電子部品の完成品とされる。すなわち、このチップ型複合素子1を、第1リード端子11の上面に、そのシリコンチップ2の裏面におけるベース電極5を第1リード端子11に電氣的に接続するようにダイボンディングし、次いで、一方の外部接続用電極4と第2リード端子12との間、及び、他方の外部接続用電極10と第3リード端子13との間の各々を、ワイヤボンディングによる金属細線14、15にて電氣的に接続したのち、これらの全体を、合成樹脂製のモールド部16によって、前記各リード端子11、12、13がモールド部16から突出するようにパッケージすることによって、パッケージ型電子部品の完成品とされるのであり、このパッケージ型電子部品の等価回路を図4に示す。

【図面の簡単な説明】

【図1】本発明の実施例による複合素子の平面図である。

【図2】図1のII-II視断面図である。

【図3】前記複合素子を使用したパッケージ型電子部品の斜視図である。

【図4】前記パッケージ型電子部品の等価回路図である。

【図5】ダイオードとコンデンサとを使用した各種の回路を示す図である。

【符号の説明】

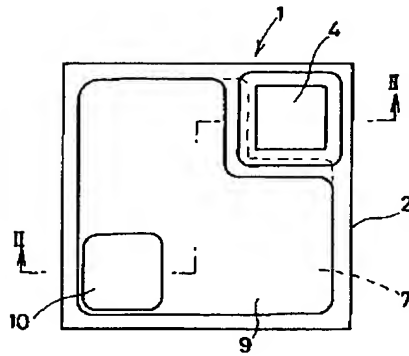
|   |         |
|---|---------|
| 1 | 複合素子    |
| 2 | シリコンチップ |

3 拡散層  
4 一方の外部接続用電極  
5 ベース極  
6, 8 絶縁膜

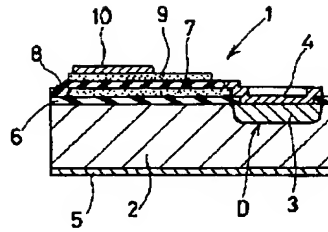
7, 9  
10  
D  
C

6 電極膜  
他方の外部接続用電極  
ダイオード  
コンデンサ

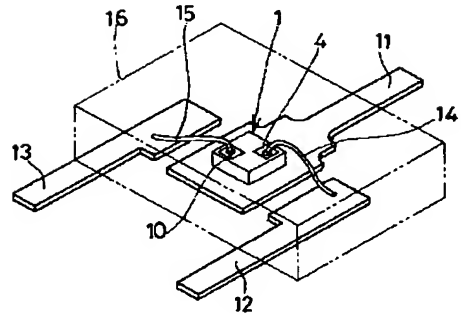
【図1】



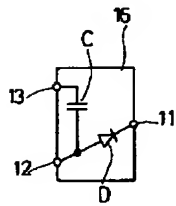
【図2】



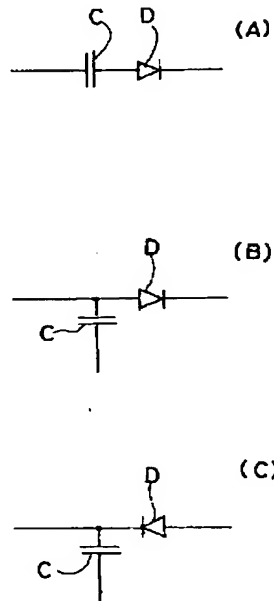
【図3】



【図4】



【図5】



\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] On the surface of a silicon chip, the diffusion layer of the N type which constitutes diode between said silicon chips, or P type is established. While forming one electrode for external connection in the front face of this diffusion layer, on the front face of the insulator layer formed in the front face of said silicon chip One electrode layer is formed so that concerned one electrode layer may flow electrically in one [ said ] electrode for external connection. On both sides of an insulator layer, the electrode layer of another side is formed in the front face of the electrode layer of one of these so that the electrode layer of the another side concerned may not lap to one [ said ] electrode for external connection. Structure of the chip mold compound device equipped with the diode characterized by preparing the electrode for external connection of another side in the electrode layer of this another side, and a capacitor.

[Claim 2] Structure of the chip mold compound device equipped with the diode characterized by arranging said electrode for external connection, and the electrode for external connection of said another side in the square corner section which makes a vertical angle mutually by the plane view of a silicon chip in the above "claim 1", and a capacitor.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the structure of the chip mold compound device which forms diode and a capacitor and changes to one silicon chip.

[0002]

[Description of the Prior Art] Generally, diode is faced including in a switching circuit etc. and there are many cases where a capacitor is used together with the diode concerned. Then, JP,5-67729,A as advanced technology has proposed the compound device of the chip mold which constitutes a capacitor and changes between the electrodes and the electrodes for external connection to a pole in said diode by forming diode in the front face of one silicon chip, and forming the electrode for external connection in the front face of the electrode to a pole in this diode on both sides of a strong dielectric film (insulator layer) further.

[0003]

[Problem(s) to be Solved by the Invention] However, the chip mold compound device by this advanced technology The compound device by this advanced technology by being the configuration referred to as forming that capacitor between the electrodes and the electrodes for external connection to a pole in diode If it connects in serial and a capacitor is put in another way to a pole or both poles also in diode, as shown in drawing 5 (A) As it is the circuit of the gestalt which connected Capacitor C with Diode D at the serial and is shown in drawing 5 (B) or (C) Since it could not be made the circuit of the gestalt which connected Capacitor C to the anode pole [ in Diode D ], or cathode pole side but the application was restricted, there was a problem said that versatility is low.

[0004] and in order for the chip mold compound device by said advanced technology to have prepare two electrodes for external connection , to have form the capacitor in each between these two electrodes for external connection , the anode pole in diode , and a cathode pole on the surface of the silicon chip and to have enlarge capacity of that capacitor , the point which must make a silicon chip enlargement be also

a problem .

[0005] This invention makes it a technical technical problem for versatility to make a high gestalt the chip mold compound device which formed diode and a capacitor in one silicon chip, and to offer it, and to make capacity of a capacitor into the gestalt made greatly, without inviting enlargement of a silicon chip, and to offer it.

[0006]

[Means for Solving the Problem] This invention in order to attain this technical technical problem on the front face of "silicon chip The diffusion layer of the N type which constitutes diode between said silicon chips, or P type is established. While forming one electrode for external connection in the front face of this diffusion layer, on the front face of the insulator layer formed in the front face of said silicon chip One electrode layer is formed so that concerned one electrode layer may flow electrically in one [ said ] electrode for external connection. on both sides of an insulator layer, the electrode layer of another side is formed in the front face of the electrode layer of one of these so that the electrode layer of the another side concerned may not lap to one [ said ] electrode for external connection, and the electrode for external connection of another side is prepared in the electrode layer of this another side. It was made the configuration called ".

[0007]

[work --] for Thus, also in the diode formed in the silicon chip with constituting, while can form a capacitor by one electrode layer and the electrode layer of another side to a pole between the electrode for external connection, and the electrode for external connection of another side. In this case, one [ said ] electrode for external connection It connects with a pole. Also in said diode, also in a pole and said capacitor the electrode for external connection of another side Connect with the pole of another side in said capacitor, and when the base of said silicon chip is the pole of another side in said diode With the base of one [ these ] electrode for external connection, the electrode for external connection of another side, and a silicon chip Since three terminals can be constituted, use these three terminals, make a capacitor into the circuit connected in the shape of a serial to diode, or Making it the circuit of the gestalt which connected the capacitor to the anode pole [ in diode ] or cathode pole side is made to arbitration.

[0008] Moreover, by having prepared in the square corner section which makes a vertical angle mutually among each square corner section [ in /



for one / said / electrode for external connection, and the electrode for external connection of another side / a silicon chip ] like "claim 2" Since the part except one electrode for external connection can be used for formation of a capacitor among the front faces in a silicon chip by the basis in the condition of having enlarged spacing inter-electrode [ for / this / both external connection ] Capacity of a capacitor can be enlarged without enlarging a silicon chip.

[0009]

[Effect of the Invention] Therefore, according to this invention, it has the effectiveness that versatility can make a high gestalt the compound device of the chip mold which formed diode and a capacitor in one silicon chip, and it can be offered. Moreover, according to "claim 2", in addition to the above mentioned effectiveness, things can do capacity of a capacitor greatly, without inviting enlargement of a silicon chip.

[0010]

[Example] Hereafter, the example of this invention is explained about the drawing of drawing 1 and drawing 2 . In this drawing, a sign 1 shows the compound device of the chip mold by this invention. This compound device 1 It has the silicon chip 2 of N type. Among the front faces of this silicon chip 2 to the part of the one square corner section By establishing the diffusion layer 3 of P type, into the part of this diffusion layer 3, when [ by aluminum ] while forms a base electrode 5 in the rear face of said silicon chip 2 for the electrode 4 for external connection respectively, the diode D of P type is constituted between one [ said ] electrode 4 for external connection, and said base electrode 5.

[0011] And among the front faces of said silicon chip 2, the insulator layer 6 by silicon oxide etc. is formed in the part except one [ said ] electrode 4 for external connection, and it forms in the front face of this insulator layer 6 so that the electrode layer 7 concerned may flow through the electrode layer 7 made from conductors, such as polish recon, electrically in one [ said ] electrode 4 for external connection.

Furthermore, after forming the insulator layer 8 by silicon oxide etc. in the front face of said electrode layer 7 so that the electrode layer 7 concerned may be covered, the electrode layer 9 made from conductors, such as polish recon, is formed in the front face of this insulator layer 8, and Capacitor C is constituted between this electrode layer 9 and said electrode layer 7.

[0012] In addition, the electrode 10 for external connection of another side is formed in the square corner section which makes a vertical angle to the square corner section in which one [ said ] electrode 4 for

external connection is formed among the front faces of said silicon chip 2 so that the electrode 10 for external connection of the another side concerned may flow electrically in said electrode layer 9. By constituting, thus, one [ said ] electrode 4 for external connection It connects with a pole. Also in the anode pole in said diode D, and said capacitor C the electrode 10 for external connection of another side It connects with the pole of another side in said capacitor. And the base electrode 5 of the rear face of said silicon chip 2 It becomes a cathode pole in said diode D, and one [ these ] electrode 4 for external connection, the electrode 10 for external connection of another side, and a base electrode 5 can constitute three terminals.

[0013] Then, by connecting outside only using two terminals of the electrode 10 for external connection of said another side, and a base electrode 5 Capacitor C can be made into the circuit connected in the shape of a serial to Diode D as shown in drawing 5 (A). By connecting outside using three terminals of said electrodes 4 and 10 for both external connection, and a base electrode 5, as shown in drawing 5 (B), it can be made the circuit of the gestalt which connected Capacitor C to the anode pole side in Diode D.

[0014] Moreover, by having prepared in the square corner section which makes a vertical angle mutually among each square corner section [ in / for one / said / electrode 4 for external connection, and the electrode 10 for external connection of another side / a silicon chip 2 ] this inter-electrode one for both external connection -- 4 or 10 spacing by the basis in the condition of having enlarged Since the part except one electrode 4 for external connection can be used for formation of Capacitor C among the front faces in a silicon chip 2, capacity of Capacitor C can be enlarged without enlarging a silicon chip 2.

[0015] In addition, although the case where the diode D of P type was formed by using the silicon chip 2 of N type for said example, and forming the diffusion layer 3 of P type in the part was shown By using the silicon chip of not only this but P type for this invention, and preparing the diffusion layer of N type in the part To say nothing of the ability to apply, also when the diode of N type is formed, in this case, as shown in drawing 5 (C), it can be made the circuit of the gestalt which connected Capacitor C to the cathode pole side in Diode D.

[0016] And let the chip mold compound device 1 constituted in this way be the finished product of package mold electronic parts by constituting so that it may be shown, as shown in drawing 3 . Die bonding is carried out to the top face of the 1st lead terminal 11 so that the base electrode [ in / for this chip mold compound device 1 / the rear face of

that silicon chip 2 ] 5 may be electrically connected to the 1st lead terminal 11. Namely, subsequently Each between one electrode 4 for external connection, and the 2nd lead terminal 12, and between the electrode 10 for external connection of another side, and the 3rd lead terminal 13 After connecting electrically with the metal thin lines 14 and 15 by wirebonding, these whole by the mold section 16 made of synthetic resin It considers as the finished product of package mold electronic parts, and by packing so that said each lead terminals 11, 12, and 13 may project from the mold section 16 shows the equal circuit of these package mold electronic parts to drawing 4 .

---

[Translation done.]

\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the top view of the compound device by the example of this invention.

[Drawing 2] It is II-II \*\*\*\*\* of drawing 1 .

[Drawing 3] It is the perspective view of the package mold electronic parts which used said compound device.

[Drawing 4] It is the representative circuit schematic of said package mold electronic parts.

[Drawing 5] It is drawing showing various kinds of circuits which used diode and a capacitor.

[Description of Notations]

- 1 Compound Device
- 2 Silicon Chip
- 3 Diffusion Layer
- 4 One Electrode for External Connection
- 5 Base Pole

6 Eight Insulator layer  
7 Nine Electrode layer  
10 Electrode for External Connection of Another Side  
D Diode  
C Capacitor

---

[Translation done.]

\* NOTICES \*

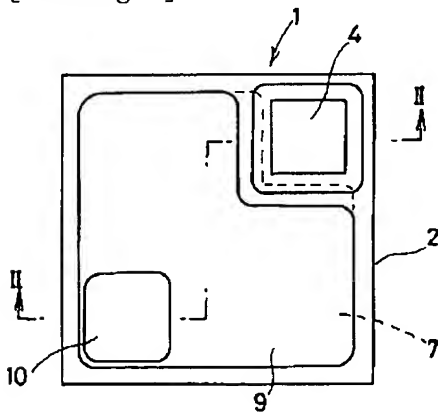
JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
  2. \*\*\*\* shows the word which can not be translated.
  3. In the drawings, any words are not translated.
- 

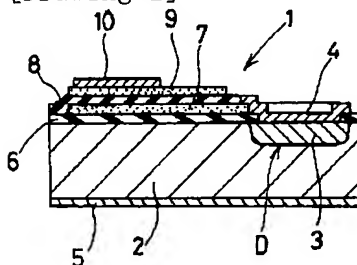
## DRAWINGS

---

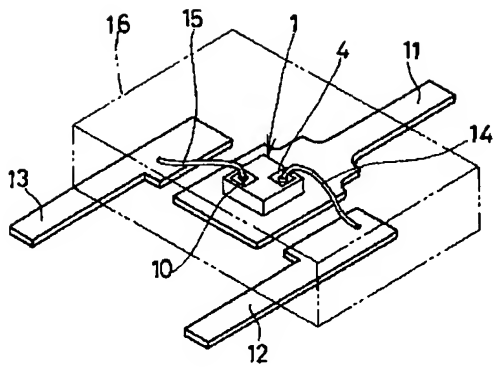
[Drawing 1]



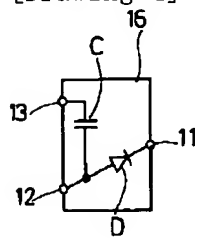
[Drawing 2]



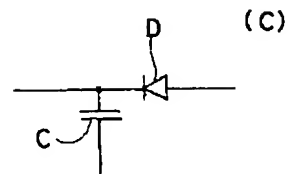
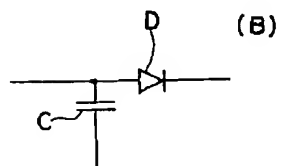
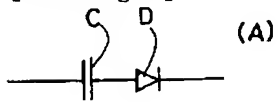
[Drawing 3]



[Drawing 4]



[Drawing 5]



[Translation done.]